

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-265026

(43)Date of publication of application : 15.10.1993

(51)Int.Cl. G02F 1/1345

G01M 11/00

G09F 9/00

G09F 9/35

H01L 29/784

(21)Application number : 04-062120

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 18.03.1992

(72)Inventor : MORI MIKI  
MOTOMIYA AKINORI  
IWASE NOBUO

### (54) SEMICONDUCTOR ELEMENT AND LIQUID CRYSTAL DISPLAY DEVICE

#### (57)Abstract:

**PURPOSE:** To provide a semiconductor element capable of easily executing inspection even when the semiconductor element has many terminals or fine terminal pitches and attaining the improvement of reliability and the reduction of cost.

**CONSTITUTION:** The semiconductor element provided with an internal circuit 10 formed on a semiconductor substrate and having a prescribed function, an input terminal 11 for applying an input terminal A from the external to the circuit 10 and an output terminal 12 for extracting an output signal B from the circuit 10 to the external is characteristically provided with a logical circuit 20 mounted on the same substrate as that of the circuit 10 to input the output signal B from the circuit 10, execute prescribed logical operation and reduce the number of outputs corresponding to the input and an inspection terminal 21 for extracting an output signal C from the circuit 20 to the external.

#### LEGAL STATUS

[Date of request for examination] 01.03.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

application converted registration]  
[Date of final disposal for application]  
[Patent number] 3251629  
[Date of registration] 16.11.2001  
[Number of appeal against examiner's  
decision of rejection]  
[Date of requesting appeal against examiner's  
decision of rejection]  
[Date of extinction of right]

---

## CLAIMS

### [Claim(s)]

[Claim 1] The internal circuitry which is formed on a semi-conductor substrate and has a predetermined function, and the input terminal for giving the input signal from the outside to this internal circuitry, The output terminal for taking out the output signal from said internal circuitry outside, and the logical circuit which it is formed [ logical circuit ] on the same substrate as said internal circuitry, and predetermined logical operation is performed [ logical circuit ] by considering the output signal of this internal circuitry as an input, and decreases the number of outputs to an input, The semiconductor device characterized by coming to provide the inspection terminal for taking out the output signal of this logical circuit outside.

[Claim 2] The liquid crystal display characterized by coming to provide the liquid crystal display section formed on the display substrate, the signal line and the scanning line formed on said substrate, the logical circuit which it is formed [ logical circuit ] on said substrate, and predetermined logical operation performs [ logical circuit ] by considering all said signal lines, and all [ a part or ] as an input, and decrease the number of outputs to an input, and the inspection terminal for taking out the output signal of this logical circuit outside.

---

## DETAILED DESCRIPTION

### [Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the semiconductor device which achieved easy-ization of an operation test based on the signal which appears especially in an output terminal with respect to a many-items child and the semiconductor device which has the output terminal of a detailed pitch.

[0002] Moreover, this invention relates to the liquid crystal display which achieved the operation test of Actuation IC, and easy-ization of mounting inspection especially with respect to the liquid crystal display of the active-matrix method carrying a thin film transistor or diode.

[0003]

[Description of the Prior Art] In recent years, a semiconductor device 80 micrometers or less is appearing [ the semiconductor device or pad pitch in which the number of terminals

exceeds 300 ] by advance of a semiconductor integrated circuit technique. It often sees to the semiconductor device especially used for actuation, such as displays, such as ASIC and a liquid crystal display (LCD), and a thermal printer head (TPH).

[0004] By the way, in order to inspect a semiconductor device, as shown in drawing 7 , a test probe pin is simultaneously applied to the signal input terminal 71 in a semiconductor device 70, and almost all the terminals of the signal output terminal 72, and check of an internal circuitry of operation and excellent article distinction are performed. In this case, the input terminal 71 and the output terminal 72 serve also as the inspection terminal. Although the chip equipped with another checking pad is also in a semiconductor device, this is for inspecting actuation of a part of internal circuitry. That is, the actual condition was putting a test probe pin in the structure of the conventional semiconductor device simultaneous for almost all terminals, when carrying out the performance test of an internal circuitry, and performing check of operation and distinction of a quality.

[0005] When a pad pitch becomes fine with the improvement in a degree of integration of a semiconductor device and the number of terminals increases, it becomes impossible however, for the method of using a probe card for inspection to correspond. As for constraint that the probe pin of a probe card is mechanical and dimensional to the number of pins, about 80 micrometers of about 300 and a pitch are the present record level. That is, in the case of the many-items child and the semiconductor device of a detailed pitch, it was difficult to inspect it as usual with the structure of the conventional semiconductor device.

[0006] On the other hand, flat panel displays, such as a liquid crystal display, attract attention as a display which may place and replace CRT. Generally these displays are equipped with the actuation IC for driving the liquid crystal display section and the signal line of hundreds · 1000 numbers which were formed on the display substrate, the scanning line, and it (integrated circuit). Among these, in the viewing area, the increment in the number of pixels and detailed-ization of a pixel pitch are progressing for highly-minute-izing. Moreover, in Actuation IC, making one actuation IC arrange many output terminals (for actuation) in a fine pitch for a miniaturization and low-pricing is required, and the actuation IC of 100 micrometers or less has appeared [ the actuation IC whose number of current terminals exceeds 200, and a terminal pitch ].

[0007] Conventionally, many TAB (Tape Automated Bonding) methods have been used for Actuation IC and connection with a signal line, the scanning line, etc. Although OLB (Outer Lead Bonding) which connects the substrate for a display with ILB (Inner Lead Bonding) which carries Actuation IC in a tape, and the tape on which Actuation IC was carried is required of a TAB method, the possible connection pitch is considered to be about 100 micrometers from the precision of a tape career, the connection precision of a tape career and a display substrate, etc.

[0008] On the other hand, development of techniques which carry out direct continuation of the naked actuation IC, such as a finer COG (Chip On Glass) mounting method in which a connection pitch is possible, is performed briskly in recent years. By the COG mounting method, a possible connection pitch is finely made with dozens of micrometers · several micrometers. Although a COG mounting method is the approach of connecting Actuation IC with wiring on a display substrate (terminal) as it is, there are various approaches, such as a thing using a silver paste, a thing using resin, and a thing using a low-melt point point metal, in the connection method.

[0009] The conventional liquid crystal display is shown in drawing 8 . The liquid crystal display 80 consists of a signal line 83 connected to the liquid crystal display section 82 and this which were formed on the display substrate 81, and the scanning line 84. Furthermore, on the display substrate 81, actuation IC which is not illustrated is mounted for example, by the COG method. And if an input signal 85 is given to the display substrate 81, the liquid crystal display section 82 will drive through Actuation IC, a signal line 83, and the scanning

line 84.

[0010] Here, after the operation test of Actuation IC and mounting inspection mount actuation IC in the display substrate 81, they are performed to the display substrates 81, such as a perimeter of Actuation IC, by applying a test probe pin. However, in the actual condition that a pixel pitch and the terminal pitch of Actuation IC are becoming detailed, as for this process, the fabrication of a test probe pin has been approaching the limitation. Moreover, since the alignment of a test probe pin also took time amount, working efficiency was bad, and there was a problem also in the dependability of inspection.

[0011]

[Problem(s) to be Solved by the Invention] Thus, conventionally, in inspection of the semiconductor device using a probe card, the number of terminals of a component was about 300, even about 80 micrometers of the terminal pitch were a limitation, and it was difficult to deal with the miniaturization of a future semiconductor device, buildup-izing of the number of terminals, and detailed pitch-ization of a terminal. Moreover, also in the actual condition, inspection was difficult for the many-items child and the semiconductor device of a detailed pitch, and lowering of dependability and an increase in cost were caused.

[0012] Moreover, conventionally, when the mounting method of new COG was adopted in the liquid crystal display of structure, the operation test of Actuation IC and mounting inspection became difficult, and had caused lowering of dependability, and an increase in cost.

[0013] This invention was made in consideration of the above-mentioned situation, the place made into the object can conduct the inspection easily, even if it is a semiconductor device with many terminals, and a semiconductor device with a detailed terminal pitch, and it is in offering the semiconductor device which can contribute to the improvement in dependability, and reduction of cost.

[0014] Moreover, other objects of this invention can perform mounting inspection in the operation-test list of Actuation IC easily, can also conduct inspection of the liquid crystal display section easily further, and are to offer the liquid crystal display which can be contributed to the improvement in dependability, and reduction of cost.

[0015]

[Means for Solving the Problem] In order to make inspection of a semiconductor device easy, the main point of this invention forms the logical circuit which makes an input signal the output signal to the semiconductor device exterior in the same component, and is to have used the output of a logical circuit as the inspected terminal. Moreover, the operation test of Actuation IC and mounting inspection, and in order to make inspection of the liquid crystal display section easy further, another main point of this invention forms the logical circuit which considers a signal line and the scanning line as an input on a display substrate, and is to have carried out the inspection terminal of the output.

[0016] Namely, the internal circuitry which this invention (claim 1) is formed on a semiconductor substrate, and has a predetermined function, In the semiconductor device equipped with the input terminal for giving the input signal from the outside to this internal circuitry, and the output terminal for taking out the output signal from an internal circuitry outside Predetermined logical operation is performed by considering the output signal of this internal circuitry as an input on the same substrate as an internal circuitry, the logical circuit which decreases the number of outputs to an input is prepared, and the inspection terminal for taking out the output signal of this logical circuit outside further is prepared.

[0017] Moreover, this invention (claim 2) is set to the liquid crystal display equipped with the liquid crystal display section formed on the display substrate, and the signal line and the scanning line which were formed on the display substrate. Predetermined logical operation is performed on a display substrate by considering all the signal lines, and all [ a part or ] as an input, the logical circuit which decreases the number of outputs to an input is

prepared, and the inspection terminal for taking out the output signal of this logical circuit outside further is prepared.

[0018] Here, it is a degree as a desirable embodiment of this invention (claim 1). (1) - (3) It is raised.

(1) Have wiring to which the output signal from an internal circuitry is inputted into a logical circuit via an output terminal.

(2) Be arranged in the location where a logical circuit loses a function by the dicing of a semiconductor wafer.

(3) Compared with the terminal dimension or terminal pitch of an output terminal group, it of a power source, a control terminal, and an inspection terminal was enlarged.

[0019]

[Function] a large number since the operation test of an internal circuitry can be performed by applying a probe to the input terminal of a semiconductor device, operating an internal circuitry, and reading in an inspection terminal the signal which inputted and calculated the output signal of an internal circuitry to the logical circuit according to this invention -- check of a semiconductor device of operation and quality distinction can be performed, without occasionally applying a probe pin also to hundreds of output terminals. That is, the performance test can be easily conducted only by applying a probe to the checking terminal which is in charge of the output of input terminals, such as a power supply terminal, a control terminal, etc. of a semiconductor device, and a logical circuit. For this reason, the dimension and pitch of an output terminal can be made very small compared with the former, and the miniaturization of a semiconductor device and many-items child-ization can be achieved. Furthermore, since it is not necessary to apply a test probe pin to many output terminals and a check of operation can be energized and carried out by the probe pin which is about ten per one chip, the probe card which energizes simultaneously and carries out a check of operation can create all ICs in the wafer condition, and quality distinction of the burn-in in a wafer condition and after that also becomes possible.

[0020] Moreover, by making it go via an output terminal and inputting the output signal of an internal circuitry into a logical circuit, the signal normal to the output terminal to the component exterior will be transmitted, and the semiconductor device judged to be an excellent article by inspection can raise dependability more. Generally, since an output terminal is in the perimeter of a semiconductor device, it is easy to be damaged, but since the information on an output terminal is certainly known when it is made this structure, dependability becomes high. Furthermore, since the logical circuit is unnecessary at the time of actual actuation of a semiconductor device, it can use the area within a wafer effectively by forming a logical circuit on dicing. Moreover, it becomes possible to perform alignment with a probe easily by enlarging the terminal dimension and terminal pitch of the input terminal used for inspection, or an inspection terminal.

[0021] According to this invention (claim 2), after mounting actuation IC on a display substrate, the input signal for driving the display screen is given to Actuation IC, and the output from Actuation IC inputs and processes the signal which passed the signal or the liquid crystal display section 82 inputted into the display substrate to ejection and a logical circuit. By taking out the processed signal from an inspection terminal, the performance test of Actuation IC, mounting inspection, and inspection of the liquid crystal display section can be performed. since it is markedly alike and there are few inspection terminals compared with the number of terminals of Actuation IC (namely, the number of signal lines and the number of scanning lines) at this time, inspection becomes remarkably easy. That is, two or more probing inspection to which hundreds of signal lines and scanning lines were occasionally made to correspond becomes unnecessary, and while the dependability of inspection improves, the marked improvement in effectiveness can be aimed at.

[0022]

[Example] Hereafter, the example of this invention is explained with reference to a drawing.

[0023] Drawing 1 is the block diagram showing the outline configuration of the semiconductor device concerning the 1st example of this invention. Ten in drawing is an internal circuitry which is an original functional device, and the input signal A from the outside is given to the input terminal 11 of this internal circuitry 10. The output signal B of an internal circuitry 10 is given as an input signal of a logical circuit 20 while being transmitted to an output terminal 12 and taken out outside.

[0024] A logical circuit 20 performs logical operation with few outputs to the logical operation mentioned later, especially the number of inputs, and the output signal C is transmitted to the inspection terminal 21. And the quality of an internal circuitry 10 is judged by carrying out the ejection monitor of the signal outside from this inspection terminal 21.

[0025] Here, in drawing 1 (a), the output signal B is made into the input signal of ejection and a logical circuit 20 with the output terminal 12 at juxtaposition. In drawing 1 (b), the output signal B is inputted into the logical circuit 20 through the output terminal 12. Moreover, each above-mentioned circuits 10 and 20 and each terminals 11, 12, and 21 are formed on the same wafer.

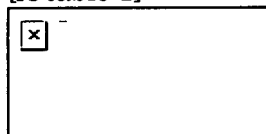
[0026] Drawing 2 shows the concrete example of the logical circuit 20 shown in drawing 1. Here, the NOR circuit which becomes drawing 2 (a) from the n channel MOS transistors Qn1-Qnk is shown as a typical logical circuit, the AND circuit which becomes drawing 2 (b) from the p channel MOS transistors Qp1-Qpk is shown, it becomes drawing 2 (c) from an n channel and the p channel MOS transistors Qn1, Qp2-Qnk further, and the circuit which can inspect the short circuit between the contiguity terminals of an output is shown.

[0027] Drawing 2 (a) Although (c) is shown independently, the signal actually transmitted to the output terminal 12 of an internal circuitry 10 is taken out to juxtaposition. It is made to correspond to each output terminal here, and they are output signals 1 and 2. -- It is referred to as k. These output signals 1 and 2 -- k is connected to the source of Transistor Q, and a drain like drawing 2 at the gate of Transistor Q, and a logical circuit is formed. H electrical potential difference and L electrical potential difference of the source of Transistor Q and a drain are connected from the location of the arbitration in an internal circuitry 10.

[0028] It sets to drawing 2 and is the inspection terminal 211 from a NOR circuit. From an AND circuit, it is the inspection terminal 212. From a short inspection circuit, it is the inspection terminal 213. It is prepared. It is the inspection terminal 211-213 to the following (table 1). The judgment of an inspection result and a quality is shown.

[0029]

[A table 1]



[0030] In the NOR circuit of drawing 2 (a), they are output signals 1 and 2. -- For all, k is the inspection terminal 211, when an input signal A is given to an internal circuitry 10 so that it may be set to L and it operates normally. It is set to H and they are output signals 1 and 2. - When it malfunctions also with one terminal among k and is set to H, it is the inspection terminal 211. It is set to L and it is judged that it is poor. Similarly, with the AND circuit of drawing 2 (b), when normal, they are output signals 1 and 2. -- When an input signal A is given so that all k may be set to H, it is the inspection terminal 212. When it is set to H, and it is abnormal and is set to L also with one terminal, it is the inspection terminal 212. It is set to L.

[0031] In addition, although the logical circuit was formed using the p channel MOS

transistor in drawing 2 (b) If the circuit which connects the drain and the source of the transistor using an n channel MOS transistor is formed, it will become a NAND mold logical circuit. In this case when normal Output signals 1 and 2 -- When an input signal 1 is given so that all k may be set to H, it is the inspection terminal 212. When it is set to L, and it is abnormal and is set to L also with one terminal, it is the inspection terminal 212. It is set to H.

[0032] moreover -- if it operates normally when an n channel MOS transistor is set to L in the short inspection circuit of drawing 2 (c) and a p channel MOS transistor is set to H -- inspection terminal 213 \*\*\*\* -- H is outputted. If there is a short circuit, the electrical potential difference computed from design values, such as resistance in a circuit, will be outputted, and it can judge by making the value into a defect's threshold.

[0033] The output of an internal circuitry 10 is 1 and 2 so that it may understand also by drawing 2 in these cases. -- Only the number of the inspection terminals of a logical circuit required for the judgment of a quality is required in order that there may be k pieces, and a remarkable reduction can be aimed at. In drawing 2, although only three typical logical circuits were shown, it is possible to increase another logical circuit if needed. Moreover, output signals 1 and 2 -- Ejection and it may be inputted into a logical circuit in the combination of arbitration, without taking out k in order.

[0034] The example which wired the NOR circuit of drawing 2 (a) actually is shown in drawing 3. The source, a drain, and the gate and the inspection terminal 211 It is connecting with the shortest possible wiring. In drawing 2 and 3, although only some were shown, it may be made the connection which prepared resistance in every place and protected the circuit, and the value computed may be calculated, and the resistance of each resistance may be decided. Moreover, although drawing 2 and 3 showed the example which used the MOS transistor, even if this uses a bipolar transistor also besides carrying out by the MOS transistor, it does not interfere. Or diode may be used instead of a transistor.

[0035] The example which used diode for drawing 4 and constituted the logical circuit is shown. It sets to drawing 4 (a) and they are output signals 1 and 2. -- For all, k is the inspection terminal 214, when an input signal A is given to an internal circuitry 10 so that it may be set to H and it operates normally. It is set to H and they are output signals 1 and 2. - When it malfunctions also with one terminal among k and is set to L, it is the inspection terminal 214. From H, only the value of the voltage drop by resistance becomes low, and can be judged to be poor.

[0036] Similarly, it sets to drawing 4 (b) and they are output signals 1 and 2. -- For all, k is the inspection terminal 215, when an input signal A is given to an internal circuitry 10 so that it may be set to L and it operates normally. It is set to L and they are output signals 1 and 2. -- When it malfunctions also with one terminal among k and is set to H, it is the inspection terminal 215. From L, only the value of the electrical potential difference which flowed in becomes high, and can be judged to be poor.

[0037] As mentioned above, although the semiconductor device of the new structure which formed the inspection terminal 21 which is in charge of the output of the logical circuit 20 which considers the output signal B of an internal circuitry 10 as an input in this example, and a logical circuit 20 was shown, this manufacture can be technically performed easily using the conventional semi-conductor manufacture process, although the numbers of members and the numbers of processes, such as a mask, may increase a little.

[0038] Thus, according to this example, the semiconductor device was able to be easily inspected by forming the logical circuit 20 which makes an input signal the output signal B of an internal circuitry 10 in the same chip, and carrying out the ejection monitor of the output signal C of a logical circuit 20 from the inspection terminal 21. That is, the check of a semiconductor device of operation can be performed, without putting a probe pin only in applying a probe to the checking terminal 21 which is in charge of the output of the input

terminals 11, such as a power supply terminal, a control terminal, etc. of a semiconductor device, and a logical circuit 20 to many output terminals 12. Therefore, the dimension and pitch of an output terminal 12 can be made very small compared with the former, and the miniaturization of a semiconductor device and many-items child-ization can also be achieved.

[0039] Drawing 5 is the mimetic diagram showing the outline configuration of the semiconductor device concerning the 2nd example of this invention. Although the 1st previous example showed only the structure in one chip, this example explains the structure in the wafer in which two or more chips were formed.

[0040] On the wafer 50 with which two or more internal circuitries 10 (not shown) mentioned above are formed, the logical circuit 51 which considers the output signal B from an internal circuitry 10 or the output signal C from the logical circuit 20 (not shown) of the chip of \*\*\*\*\* as an input is formed, and the inspection terminal 52 for taking out output-signal C' of a logical circuit 51 outside further is formed. Moreover, the input terminal 53 for giving input signal A' from the outside to one on a wafer 50 is formed. And in order to branch input signal A' from this input terminal 53 and to supply the internal circuitry 10 of each chip as an input signal A, wiring is formed on a wafer 50.

[0041] With such a configuration, inspection of the internal circuitry 10 in a wafer and the burn in test in a wafer condition come be made in connection of about ten per one wafer by connecting the output signal B of an internal circuitry 10, or the output signal C of a logical circuit 20, and connecting to the inspection terminal 53 output signal C' processed in the logical circuit 51. This wiring is effective in especially the high semiconductor device of the yield.

[0042] moreover -- although bearing is not caused at all even if it prepares in a component field about arrangement of a logical circuit 20, since the inspection of an internal circuitry 10 of a logical circuit 20 is the object -- after inspection -- getting it blocked -- it becomes unnecessary after starting from a wafer 50, when it inspects in the state of a wafer. Therefore, it is effective, if effective use of the area within a wafer is considered and a logical circuit 20 is arranged in locations which lose a function by dicing that is, such as a dicing line top.

[0043] Moreover, it was [ inspection ] easier to enlarge it of input terminals, such as a power source and a control terminal, or a checking terminal about the size of the terminal used for inspection compared with the terminal dimension of an output terminal and a terminal pitch generally from the point of the ease of carrying out of probing.

[0044] Generally, a many-items child, TCP (Tape Carrier Package) which can connect a detailed pitch, and the mounting approach which carries out direct continuation of the naked chips, such as a flip chip, are increasingly used with the many-items child of a semiconductor device, and detailed-izing from the plastic package also according [ the packaging of a semiconductor device ] to the conventional resin mould, and a ceramic package. Since inspection and the burn in test of a semiconductor device were hard to be referred to as being able to guarantee the dependability of a semiconductor device, without the ability fully doing when a naked chip was mounted especially, they come be easily made by making it such semiconductor device structure and wafer structure, and the effectiveness is greatest.

[0045] Drawing 6 is drawing showing the outline configuration of the liquid crystal display concerning the 3rd example of this invention. Here, the active-matrix mold liquid crystal display (TFT-LCD) which carried the most general thin film transistor also in a liquid crystal display is shown.

[0046] On the display substrate 61, the liquid crystal display section 62, a signal line 63, and the scanning line 64 are formed. A signal line 63 and the scanning line 64 are a matrix within the liquid crystal display section 62. In addition, on the display substrate 61, the logical circuit 65 which considers a signal line 63 and the scanning line 64 as an input is



formed, and the inspection terminal 66 for taking out the output signal of this logical circuit 65 outside further is formed.

[0047] An input signal A is given to the display substrate 61 in such a configuration. An input signal A is processed so that the liquid crystal display section 62 may be driven, and it is transmitted through a signal line 63 and the scanning line 64. Moreover, the signal of a signal line 63 and the scanning line 64 is inputted into the logical circuit 65 formed on the display substrate 62. A logical circuit 65 can be formed in locations of arbitration, such as the interior of the liquid crystal display section 62, and the exterior. Various kinds of operations are performed in a logical circuit 65. The result of an operation is transmitted to the inspection terminal 66 as an output signal C. And actuation of Actuation IC or the quality of mounting of Actuation IC, and also the quality of actuation of a liquid crystal display are judged by carrying out the monitor of ejection and it outside for a signal from the inspection terminal 66.

[0048] The configuration of a logical circuit 65 is constituted like what was explained using drawing 2 and 3 in the previous example. After mounting actuation IC on the display substrate 61, an input signal A is given to the display substrate 61, a probe pin is put in a actual inspection to the inspection terminal 66, the monitor of the output signal of a logical circuit 65 is carried out, and it is performed. In this case, not to mention inspection of the liquid crystal display section 62, the short circuit of a signal line 63 or the scanning line 64 can also be understood, and inspection with sufficient dependability can be conducted easily.

[0049] In this example, Actuation IC was carried by the COG mounting method which uses a low-melt point point metal. The output (the number of signal lines and number of scanning lines) of Actuation IC is 1 and 2 so that actuation and mounting inspection of Actuation IC may be known also by drawing 2 . -- Only the number of the inspection terminals of a logical circuit required for the judgment of a quality is required in order that there may be k pieces, and a remarkable reduction can be aimed at.

[0050] Although the example showed the case where Actuation IC was used by the COG mounting method, when it considers as the structure of actuation IC one apparatus, in the case of the liquid crystal display using polish recon etc., the liquid crystal display which can do inspection easily can be realized by preparing the logical circuit of the structure of this invention, for example.

[0051] In this example, the logical circuit was formed so that it might correspond to the output for every actuation IC, but when there are few malfunctions of Actuation IC and poor mounting has them, inspection becomes easy further by forming the logical circuit which set all signal lines or scanning lines to one. [ few ]

[0052] As mentioned above, although the liquid crystal display of the new structure which formed the inspection terminal 66 which is in charge of the output of the logical circuit 65 which considers the output signal of Actuation IC as an input in an example, and a logical circuit 65 was shown, this manufacture can be technically performed easily using the conventional liquid crystal display manufacture process, although the numbers of members and the numbers of processes, such as a mask, may increase a little.

[0053] Moreover, although the mounting process of Actuation IC had the common cel process back, inspection becomes possible easily and it came to be able to perform reliable mounting, such as becoming possible for the constraint in the case of mounting to become loose by incorporating into a cel process, and to let a reflow process pass, by using the liquid crystal equipment of this invention. That is, the constraint of mounting conditions decreases and it came to be able to do inspection easily by mounting actuation IC after rubbing in a cel process, and before the lamination of an opposite substrate, or liquid crystal impregnation, and carrying out by carrying out the monitor of the signal from the inspection terminal on the display substrate with which the logical circuit is already formed in inspection and mounting inspection of Actuation IC. Furthermore, the damage to the normal part by repair

can be lessened by mounting high actuation IC of a defect incidence rate in a quick phase. Since this process can inspect a display substrate in a quick phase easy moreover again, it is effective also as inspection of a display substrate.

[0054] Thus, according to this example, when the logical circuit 65 which considers a part or all of the signal line 63 which drives the liquid crystal display section 62, and the scanning line 64 as an input is formed in the display substrate 61 and it was made to be possible [ inspection ] with the output of a logical circuit 65, inspection and mounting inspection of Actuation IC became easy. That is, inspection becomes possible [ without hundreds of applying a probe pin to a certain terminal at the time of the plurality which drives a display screen ], and improvement in the dependability of inspection can be stretched as a result. Moreover, since a signal line 63, the scanning line 64, and the output terminal of Actuation IC did not need to be connected to the probe pin, it also became possible to make more detailed a pixel pitch and the pitch of the output terminal of Actuation IC. In addition, this invention is [0055] which is the range which is not limited to each example mentioned above and does not deviate from the summary, can transform variously and can be carried out.

[Effect of the Invention] Since according to this invention (claim 1) the logical circuit which makes an input signal the output signal to the semiconductor device exterior is formed in the same substrate and the output of a logical circuit is used as the inspected terminal, as explained in full detail above, even if it is a semiconductor device with many terminals, and a semiconductor device with a detailed terminal pitch, the inspection can be conducted easily, and it becomes possible to realize the semiconductor device which can contribute to the improvement in dependability, and reduction of cost.

[0056] Moreover, since according to this invention (claim 2) the logical circuit which considers a signal line and the scanning line as an input is formed on a display substrate and the inspection terminal of the output is carried out, the liquid crystal display section can be easily inspected in the operation test of Actuation IC, and a mounting inspection list, and it becomes possible to realize the liquid crystal display which can be contributed to the improvement in dependability, and reduction of cost.

---

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] The block diagram showing the outline configuration of the semiconductor device concerning the 1st example of this invention,

[Drawing 2] The circuit diagram showing the example of a concrete configuration of the logical circuit in drawing 1 ,

[Drawing 3] The circuit diagram showing the example which wired the NOR circuit in drawing 2 actually,

[Drawing 4] The circuit diagram showing the example which constituted the logical circuit in drawing 1 from diode,

[Drawing 5] Drawing showing the outline configuration of the semiconductor device concerning the 2nd example,

[Drawing 6] Drawing showing the outline configuration of the liquid crystal display concerning the 3rd example,

[Drawing 7] Drawing showing the outline configuration of the conventional semiconductor device,

[Drawing 8] Drawing showing the outline configuration of the conventional liquid crystal display.

[Description of Notations]

10 -- Internal circuitry,

11 -- Input terminal,

12 -- Output terminal,

20 -- Logical circuit,

21 -- Inspection terminal,

211 -- Inspection Terminal (NOR Circuit),

212 -- Inspection Terminal (AND Circuit),

213 -- Inspection Terminal (Short Inspection Circuit),

214 -- Inspection Terminal (AND Circuit),

215 -- Inspection Terminal (OR Circuit),

A -- Input signal,

B -- Output signal (output signal from an internal circuitry 10),

C -- Output signal (output signal from a logical circuit 20).

---

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-265026

(43)公開日 平成5年(1993)10月15日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/1345		9018-2K		
G 0 1 M 11/00	T	8204-2G		
G 0 9 F 9/00	3 5 2	6447-5G		
9/35		6447-5G		
		9056-4M		
			H 0 1 L 29/ 78	3 1 1 T
			審査請求 未請求 請求項の数 2(全 8 頁) 最終頁に続く	

(21)出願番号 特願平4-62120

(22)出願日 平成4年(1992)3月18日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 森 三樹

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

(72)発明者 本宮 明典

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

(72)発明者 岩瀬 暢男

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

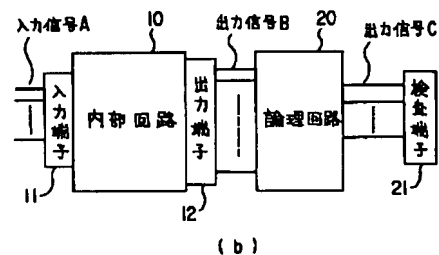
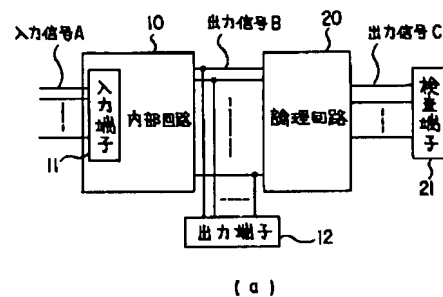
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 半導体素子及び液晶表示装置

(57)【要約】

【目的】 端子数が多い半導体素子や端子ピッチが微細な半導体素子であってもその検査を容易に行うことができ、信頼性の向上及びコストの低減に寄与し得る半導体素子を提供すること。

【構成】 半導体基板上に形成され所定の機能を有する内部回路10と、この内部回路10に外部からの入力信号Aを与えるための入力端子11と、内部回路10からの出力信号Bを外に取り出すための出力端子12とを備えた半導体素子において、内部回路10と同一基板上に内部回路10の出力信号Bを入力として所定の論理演算を行い、入力に対し出力の数を減少させる論理回路20を設け、さらにこの論理回路20の出力信号Cを外に取り出すための検査端子21を設けたことを特徴とする。



**【特許請求の範囲】**

【請求項1】半導体基板上に形成され所定の機能を有する内部回路と、この内部回路に外部からの入力信号を与えるための入力端子と、前記内部回路からの出力信号を外部に取り出すための出力端子と、前記内部回路と同一基板上に形成され、該内部回路の出力信号を入力として所定の論理演算を行い、入力に対し出力の数を減少させる論理回路と、この論理回路の出力信号を外部に取り出すための検査端子とを具備してなることを特徴とする半導体素子。

【請求項2】表示基板上に形成された液晶表示部と、前記基板上に形成された信号線及び走査線と、前記基板上に形成され前記信号線及び走査線の一部又は全てを入力として所定の論理演算を行い、入力に対し出力の数を減少させる論理回路と、この論理回路の出力信号を外部に取り出すための検査端子とを具備してなることを特徴とする液晶表示装置。

**【発明の詳細な説明】****【0001】**

【産業上の利用分野】本発明は、多端子、微細ピッチの出力端子を有する半導体素子に係わり、特に出力端子に現れる信号に基づく動作テストの容易化をはかった半導体素子に関する。

【0002】また本発明は、薄膜トランジスタやダイオードを搭載したアクティブマトリクス方式の液晶表示装置に係わり、特に駆動ICの動作テストや実装検査の容易化をはかった液晶表示装置に関する。

**【0003】**

【従来の技術】近年、半導体集積回路技術の進歩により、端子数が300を越える半導体素子やパッドピッチが80 $\mu\text{m}$ 以下の半導体素子が出現してきている。特に、ASIC、液晶ディスプレイ(LCD)等の表示装置やサーマルプリンタヘッド(TPH)等の駆動用に使われる半導体素子によく見られる。

【0004】ところで、半導体素子の検査を行うには、図7に示すように半導体素子70内の信号入力端子71と信号出力端子72の殆ど全ての端子に同時にテストプローブピンを当て、内部回路の動作確認、良品判別を行っている。この場合、入力端子71と出力端子72は検査端子も兼ねている。半導体素子の中には別の検査用パッドを備えたチップもあるが、これは内部回路の一部分の動作を検査するためのものである。即ち、従来の半導体素子の構造では、内部回路の動作検査をするときには、殆ど全ての端子に同時にテストプローブピンを当て、動作確認、良否の判別を行うのが現状であった。

【0005】しかしながら、半導体素子の集積度向上に伴いパッドピッチが細くなり、端子数が多くなってくると、検査のためにプローブカードを用いる方法是对应できなくなる。プローブカードは、プローブピンの機械的、寸法的な制約からピン数は300程度、ピッチは8

0 $\mu\text{m}$ 程度が現状の最高レベルである。つまり、多端子、微細ピッチの半導体素子の場合、従来の半導体素子の構造で従来と同様に検査を行うことは難しかった。

【0006】一方、液晶表示装置などのフラットパネル表示装置は、CRTに置き代わる可能性のある表示装置として注目されている。一般にこれらの表示装置は、表示基板上に形成された液晶表示部、数百～数千本の信号線と走査線、及びそれを駆動するための駆動IC(集積回路)を備えている。このうち表示領域においては、高精細化のために画素数の増加、画素ピッチの微細化が進んでいる。また、駆動ICにおいては、小型化、低価格化のために1つの駆動ICに多くの(駆動用)出力端子を細かいピッチで配列させることが要求されてきており、現在端子数が200を越える駆動ICや、端子ピッチが100 $\mu\text{m}$ 以下の駆動ICも出現している。

【0007】従来、駆動ICと信号線、走査線などとの接続にはTAB(Tape Automated Bonding)方式が多く用いられてきた。TAB方式では、駆動ICをテープに搭載するILB(Inner Lead Bonding)と、駆動ICが搭載されたテープと表示用基板を接続するOLB(Outer Lead Bonding)が必要であるが、テープキャリアの精度、テープキャリアと表示基板の接続精度などから、可能な接続ピッチは100 $\mu\text{m}$ 程度と考えられている。

【0008】これに対して、より細かい接続ピッチの可能なCOG(Chip On Glass)実装方式など、裸の駆動ICを直接接続する技術の開発が近年盛んに行われている。COG実装方式では、可能な接続ピッチは数十 $\mu\text{m}$ ～数 $\mu\text{m}$ と細かくできる。COG実装方式は、駆動ICをそのまま表示基板上の配線(端子)と接続する方法であるが、その接続方法には銀ペーストを使うもの、樹脂を使うもの、低融点金属を使うものなど様々な方法がある。

【0009】図8に、従来の液晶表示装置を示す。液晶表示装置80は、表示基板81上に形成された液晶表示部82及びこれに接続された信号線83、走査線84からなっている。さらに、表示基板81上には図示しない駆動ICが、例えばCOG方式で実装されるものとなっている。そして、表示基板81に入力信号85が与えられると、駆動IC及び信号線83及び走査線84を介して液晶表示部82が駆動されるものとなっている。

【0010】ここで、駆動ICの動作テストや実装検査は表示基板81に駆動ICを実装した後、駆動ICの周囲などの表示基板81にテストプローブピンを当てて行っている。しかしこの工程は、画素ピッチや駆動ICの端子ピッチが微細になってきている現状では、テストプローブピンの製作が限界に近付いてきている。また、テストプローブピンの位置合わせにも時間を要するので作業効率が悪く、検査の信頼性にも問題があった。

**【0011】**

【発明が解決しようとする課題】このように従来、プロ

ープカードを用いる半導体素子の検査では、素子の端子数は300程度、端子ピッチは80 $\mu$ m程度までが限界であり、今後の半導体素子の小型化、端子数の増大化、端子の微細ピッチ化に対応することは困難であった。また、現状でも多端子、微細ピッチの半導体素子は検査が難しく、信頼性の低下、コストの増加を招いていた。

【0012】また、従来構造の液晶表示装置においては、新しいCOGの実装方式を採用した場合に、駆動ICの動作テスト及び実装検査が難しくなり、信頼性の低下、コストの増加を招いていた。

【0013】本発明は、上記事情を考慮してなされたもので、その目的とするところは、端子数が多い半導体素子や端子ピッチが微細な半導体素子であっても、その検査を容易に行うことができ、信頼性の向上及びコストの低減に寄与し得る半導体素子を提供することにある。

【0014】また、本発明の他の目的は、駆動ICの動作テスト並びに実装検査を容易に行うことができ、更には液晶表示部の検査も容易に行うことができ、信頼性の向上及びコストの低減に寄与し得る液晶表示装置を提供することにある。

【0015】

【課題を解決するための手段】本発明の骨子は、半導体素子の検査を容易にするために、半導体素子外部への出力信号を入力信号とする論理回路を同一素子内に形成し、論理回路の出力を被検査端子としたことにある。また、本発明の別の骨子は、駆動ICの動作テスト及び実装検査、更には液晶表示部の検査を容易にするために、表示基板上に信号線及び走査線を入力とする論理回路を形成し、その出力を検査端子としたことにある。

【0016】即ち本発明（請求項1）は、半導体基板上に形成され所定の機能を有する内部回路と、この内部回路に外部からの入力信号を与えるための入力端子と、内部回路からの出力信号を外部に取り出すための出力端子とを備えた半導体素子において、内部回路と同一基板上に該内部回路の出力信号を入力として所定の論理演算を行い、入力に対し出力の数を減少させる論理回路を設け、さらにこの論理回路の出力信号を外部に取り出すための検査端子を設けるようにしたものである。

【0017】また本発明（請求項2）は、表示基板上に形成された液晶表示部と、表示基板上に形成された信号線及び走査線とを備えた液晶表示装置において、表示基板上に信号線及び走査線の一部又は全てを入力として所定の論理演算を行い、入力に対し出力の数を減少させる論理回路を設け、さらにこの論理回路の出力信号を外部に取り出すための検査端子を設けるようにしたものである。

【0018】ここで、本発明（請求項1）の望ましい実施態様として、次の(1)～(3)が上げられる。

(1) 内部回路からの出力信号が出力端子を経由して論理回路に入力される配線を持つこと。

(2) 論理回路が、半導体ウェハのダイシングによって機能を失う位置に配置されていること。

(3) 出力端子群の端子寸法若しくは端子ピッチに比べ、電源や制御端子及び検査端子のそれを大きくしたこと。

【0019】

【作用】本発明によれば、半導体素子の入力端子にプローブを当てて内部回路を動作させ、内部回路の出力信号を論理回路に入力し演算した信号を検査端子から読み取ることにより、内部回路の動作テストを行うことができることから、多数の、時には数百個もの出力端子にプローブピンを当てることなく、半導体素子の動作確認、良否判別ができる。つまり、半導体素子の電源端子や制御端子などの入力端子及び論理回路の出力に当たる検査用端子にプローブを当てるだけで、動作検査を容易に行うことができる。このため、出力端子の寸法やピッチを従来に比べて極めて小さくすることができ、半導体素子の小型化、多端子化がはかれる。さらに、多数の出力端子にテストプローブピンを当てる必要がなく、1チップ当たり10本程度のプローブピンで通電、動作確認できるため、ウェハ状態で全てのICを同時に通電、動作確認するプローブカードが作成可能で、ウェハ状態でのバーンインとその後の良否判別も可能となる。

【0020】また、内部回路の出力信号を出力端子を経由させて論理回路に入力することにより、検査で良品と判断された半導体素子は素子外部への出力端子まで正常な信号が伝達されていることになり、信頼性をより高めることができる。一般に、出力端子は半導体素子の周囲にあるので損傷しやすいが、この構造にすると出力端子の情報が確実に分かるために信頼性が高くなる。さらに、論理回路は半導体素子の実際の動作時には不要であるから、論理回路をダイシング上に形成することによって、ウェハ内での面積を有効活用することができる。また、検査に使用する入力端子や検査端子の端子寸法や端子ピッチを大きくすることで、プローブとの位置合わせを容易に行うことが可能となる。

【0021】本発明（請求項2）によれば、表示基板上に駆動ICを実装した後に、駆動ICに表示画面を駆動するための入力信号を与え、駆動ICからの出力が表示基板に入力されている信号或いは液晶表示部82を通過した信号を取り出し、論理回路に入力し処理する。処理された信号を検査端子から取り出すことで、駆動ICの動作検査、実装検査及び液晶表示部の検査ができる。このとき、検査端子の数は駆動ICの端子数（即ち信号線数や走査線数）に比べ格段に少ないので、検査は著しく容易になる。つまり、複数の、時には数百本もの信号線や走査線に対応させたプロービング検査は不要になり、検査の信頼性が向上すると共に格段の効率向上がはかれる。

【0022】

【実施例】以下、本発明の実施例を図面を参照して説明

する。

【0023】図1は、本発明の第1の実施例に係わる半導体素子の概略構成を示すブロック図である。図中10は本来の機能素子である内部回路であり、この内部回路10の入力端子11に外部からの入力信号Aが与えられる。内部回路10の出力信号Bは出力端子12に伝達されて外部に取り出されると共に、論理回路20の入力信号として与えられる。

【0024】論理回路20は、後述する論理演算、特に入力数に対して出力数が少ない論理演算を行うものであり、その出力信号Cは検査端子21に伝達されている。そして、この検査端子21から外部に信号を取り出しモニタすることにより、内部回路10の良否を判断するものとなっている。

【0025】ここで、図1(a)では出力信号Bを出力端子12と並列に取り出し、論理回路20の入力信号としている。図1(b)では出力信号Bは出力端子12を経て論理回路20に入力されている。また、上記各回路10、20及び各端子11、12、21は同一ウェハ上に形成されている。

【0026】図2は、図1に示した論理回路20の具体的な例を示している。ここでは、代表的な論理回路とし

て、図2(a)にnチャネルMOSトランジスタQn1～QnkからなるNOR回路を示し、図2(b)にpチャネルMOSトランジスタQp1～QpkからなるAND回路を示し、さらに図2(c)にnチャネル及びpチャネルMOSトランジスタQn1、Qp2～Qnkからなり、出力の隣接端子間でのショートを検査できる回路を示す。

【0027】図2(a)～(c)は別々に示しているが、実際には内部回路10の出力端子12に伝達される信号を並列に取り出している。ここではそれぞれの出力端子に対応させ、出力信号1、2…kとする。この出力信号1、2…kをトランジスタQのゲートに、トランジスタQのソース、ドレインに図2のように接続して論理回路を形成する。トランジスタQのソース、ドレインのH電圧及びL電圧は、内部回路10内の任意の位置から結線する。

【0028】図2において、NOR回路からは検査端子21<sub>1</sub>が、AND回路からは検査端子21<sub>2</sub>が、ショート検査回路からは検査端子21<sub>3</sub>が設けられている。下記の(表1)に検査端子21<sub>1</sub>～21<sub>3</sub>の検査結果と良否の判定を示す。

【0029】

【表1】

	N O R 回 路		A N D 回 路		シ ョ ー ト 回 路	
出 力 端 子	全てL	1端子でもH	全てH	1端子でもL	n型にL p型にH	
検 査 端 子	H	L	H	L	H	H以外
判 定	OK	NG	OK	NG	OK	NG
トランジスタ	n型		p型		nとpの共存	

【0030】図2(a)のNOR回路では、出力信号1、2…kが全てがLになるように内部回路10に入力信号Aを与えた時に、正常に動作した場合は検査端子21<sub>1</sub>はHとなり、出力信号1、2…kのうち1端子でも誤動作してHになると検査端子21<sub>1</sub>はLとなり不良と判断される。同様に図2(b)のAND回路では、正常の場合には、出力信号1、2…kが全てHになるように入力信号Aを与えた時、検査端子21<sub>2</sub>はHになり、1端子でも異常がありLになるときは、検査端子21<sub>2</sub>はLになる。

【0031】なお、図2(b)ではpチャネルMOSトランジスタを用いて論理回路を形成したが、nチャネルMOSトランジスタを用いたトランジスタのドレインとソースを接続する回路を形成するとNAND型論理回路になり、この場合正常の時には、出力信号1、2…kが全てHになるように入力信号1を与えた時、検査端子21<sub>2</sub>はLになり、1端子でも異常がありLになるときは、

検査端子21<sub>2</sub>はHになる。

【0032】また、図2(c)のショート検査回路ではnチャネルMOSトランジスタをLとし、pチャネルMOSトランジスタをHとした場合に正常に動作するなら、検査端子21<sub>3</sub>にはHが出力される。ショートがあると回路内の抵抗などの設計値から算出される電圧が出力され、その値を不良の閾値とすることによって判断できる。

【0033】これらの場合は図2でも分かるように、内部回路10の出力が1、2…k個あろうとも良否の判定に必要な論理回路の検査端子の数だけでよく著しい減少がはかれる。図2では代表的な3つの論理回路のみを示したが必要に応じて別の論理回路を増やすことは可能である。また、出力信号1、2…kを順番に取り出さずに任意の組み合わせで取り出し、それを論理回路に入力してもよい。

【0034】図3には、図2(a)のNOR回路を実際

に配線した例を示す。ソース、ドレイン、ゲートと検査端子21<sub>1</sub>をできるだけ短い配線で結線している。図2、3では数個しか示さなかったが各所に抵抗を設けて回路を保護した結線にしてもよいし、算出される値を求め、各抵抗の抵抗値を決めてもよい。また、図2、3ではMOSトランジスタを用いた実施例を示したが、これはMOSトランジスタで実施される以外にも、バイポーラトランジスタを用いても差支えない。或いはトランジスタの代わりにダイオードを用いてもよい。

【0035】図4に、ダイオードを用いて論理回路を構成した例を示す。図4(a)において出力信号1、2…kが全てがHになるように内部回路10に入力信号Aを与えたときに、正常に動作した場合検査端子21<sub>4</sub>はHになり、出力信号1、2…kのうち1端子でも誤動作しLになると検査端子21<sub>4</sub>は抵抗による電圧降下の値だけHより低くなり、不良と判断できる。

【0036】同様に、図4(b)においては、出力信号1、2…kが全てがLになるように内部回路10に入力信号Aを与えた時に、正常に動作した場合検査端子21<sub>5</sub>はLになり、出力信号1、2…kのうち1端子でも誤動作してHになると検査端子21<sub>5</sub>は流れ込んだ電圧の値だけLより高くなり、不良と判断できる。

【0037】以上、この実施例においては内部回路10の出力信号Bを入力とする論理回路20と、論理回路20の出力に当たる検査端子21を設けた新しい構造の半導体素子を示したが、この製造はマスク等の部材数やプロセス数が若干増えることはあるものの、技術的には従来の半導体製造プロセスを用いて容易に行うことができる。

【0038】このように本実施例によれば、内部回路10の出力信号Bを入力信号とする論理回路20を同一チップ内に形成し、論理回路20の出力信号Cを検査端子21から取り出しモニタすることにより、半導体素子の検査を容易に行うことができた。つまり、半導体素子の電源端子や制御端子などの入力端子11及び論理回路20の出力に当たる検査用端子21にプローブを当てるだけで、多数の出力端子12にプローブピンを当てることなく半導体素子の動作確認ができる。従って、出力端子12の寸法やピッチを従来に比べ極めて小さくすることができ、半導体素子の小型化、多端子化もはかれる。

【0039】図5は、本発明の第2の実施例に係わる半導体素子の概略構成を示す模式図である。先の第1の実施例では1チップにおける構造についてのみ示したが、この実施例では複数チップを形成したウェハにおける構造について説明する。

【0040】前述した内部回路10（図示せず）が複数個形成されているウェハ50上に、内部回路10からの出力信号B又は個々のチップの論理回路20（図示せず）からの出力信号Cを入力とする論理回路51を形成し、さらに論理回路51の出力信号C'を外部的に取り出

すための検査端子52を形成する。また、ウェハ50上の1箇所以外からの入力信号A'を与えるための入力端子53を形成する。そして、この入力端子53から入力信号A'を分岐し個々のチップの内部回路10に入力信号Aとして供給するために、ウェハ50上に配線を形成する。

【0041】このような構成であれば、内部回路10の出力信号B又は論理回路20の出力信号Cを結線し、論理回路51で処理した出力信号C'を検査端子53に接続することにより、1ウェハにつき10数点の接続でウェハ内の内部回路10の検査及びウェハ状態でのバーンイン試験ができるようになる。この配線は歩留まりの高い半導体素子では特に有効である。

【0042】また、論理回路20の配置に関しては素子領域内に設けても何等支障をきたすことはないが、論理回路20は内部回路10の検査が目的であるから検査の後、つまりはウェハ状態で検査した場合にはウェハ50から切り出した後には不要となる。従って、ウェハ内での面積の有効活用を考え、論理回路20をダイシングライン上など、つまりダイシングによって機能を失う位置に配置すると効果的である。

【0043】また、検査に使用する端子の大きさについては、プロービングのし易さの点から一般に出力端子の端子寸法、端子ピッチに比べ、電源や制御端子などの入力端子や検査用端子のそれを大きくしたほうが検査が容易であった。

【0044】一般に、半導体素子の多端子、微細化に伴い半導体素子のパッケージングも、従来の樹脂モールドによるプラスチックパッケージや、セラミックパッケージから、多端子、微細ピッチの接続が可能なTCP（Tape Carrier Package）や、フリップチップなど裸のチップを直接接続する実装方法が用いられるようになってきている。特に、裸のチップを実装する場合には半導体素子の検査やバーンイン試験が十分にできずに半導体素子の信頼性を保証できるとは言い難かったので、このような半導体素子構造、ウェハ構造にすることでそれらが容易にできるようになり、その効果は絶大である。

【0045】図6は、本発明の第3の実施例に係わる液晶表示装置の概略構成を示す図である。ここでは、液晶表示装置の中でも最も一般的な薄膜トランジスタを搭載したアクティブマトリクス型液晶表示装置（TFT-LCD）を示す。

【0046】表示基板61上に、液晶表示部62と信号線63及び走査線64が形成されている。信号線63及び走査線64は、液晶表示部62内でマトリクスになっている。これに加えて表示基板61上に、信号線63及び走査線64を入力とする論理回路65が形成され、さらにこの論理回路65の出力信号を外部的に取り出すための検査端子66が設けられている。

【0047】このような構成において、表示基板61に



入力信号Aを与える。入力信号Aは液晶表示部62を駆動するように処理され信号線63、走査線64を介して伝達される。また、信号線63と走査線64の信号は、表示基板62上に形成した論理回路65に入力される。論理回路65は液晶表示部62の内部、外部など任意の場所に形成できる。論理回路65内では各種の演算を行う。その演算結果は、出力信号Cとして検査端子66に伝達される。そして、検査端子66より外部に信号を取り出し、それをモニタすることによって駆動ICの動作或いは駆動ICの実装の良否、更には液晶表示装置の動作の良否を判断する。

【0048】論理回路65の構成は、先の実施例で図2、3を用いて説明したようなものと同様に構成される。実際の検査では、駆動ICを表示基板61上に実装した後に表示基板61に入力信号Aを与え、検査端子66にプローブピンを当て、論理回路65の出力信号をモニタして行う。この場合、液晶表示部62の検査は勿論のこと、信号線63や走査線64のショートも分かり、信頼性よい検査を容易に行うことができる。

【0049】本実施例では、駆動ICを低融点金属を用いるCOG実装方式で搭載した。駆動ICの動作や実装検査は、図2でも分かるように駆動ICの出力（信号線数や走査線数）が1、2…k個あろうとも良否の判定に必要な論理回路の検査端子の数だけでよく著しい減少はかれる。

【0050】実施例では駆動ICをCOG実装方式で用いた場合について示したが、例えばポリシリコン等を用いた液晶表示装置の場合に、駆動IC一体型の構造とした時には、本発明の構造の論理回路を設けることにより検査が容易にできる液晶表示装置を実現することができる。

【0051】本実施例では論理回路は駆動IC毎の出力に対応するように形成したが、駆動ICの動作不良が少なく且つ実装不良も少ない場合には、信号線或いは走査線全てを1つにした論理回路を形成することによってさらに検査は容易になる。

【0052】以上、実施例においては駆動ICの出力信号を入力とする論理回路65と、論理回路65の出力にあたる検査端子66を設けた新しい構造の液晶表示装置を示したが、この製造はマスク等の部材数やプロセス数が若干増えることはあるものの、技術的には従来の液晶表示装置製造プロセスを用いて容易に行うことができる。

【0053】また、駆動ICの実装工程はセル工程後が一般的であるが、本発明の液晶装置を用いることで、容易に検査が可能になり、セル工程中に組み入れることで実装の際の制約条件が緩やかになりリフロー工程を通すことが可能になるなど、信頼性の高い実装ができるようになった。つまり、駆動ICの実装をセル工程中のラビング後且つ対向基板の張り合わせや液晶注入前に行い、

駆動ICの検査や実装検査を既に論理回路が形成されている表示基板上の検査端子からの信号をモニタすることによって行うことにより、実装条件は制約が少なくなり、また検査は容易にできるようになった。さらに、速い段階で不良発生率の高い駆動ICの実装を行うことにより、リペアによる正常部分へのダメージを少なくすることができる。このプロセスは、また表示基板の検査を容易に、しかも速い段階で行えるようになるので、表示基板の検査としても有効である。

【0054】このように本実施例によれば、液晶表示部62を駆動する信号線63及び走査線64の一部又は全部を入力とする論理回路65を表示基板61内に形成し、論理回路65の出力で検査をできるようにしたことにより、駆動ICの検査や実装検査が容易になった。つまり、表示画面を駆動する複数の、時には数百本もある端子にプローブピンを当てることなく検査ができるようになり、結果として検査の信頼性の向上をはかることができる。また、信号線63、走査線64及び駆動ICの出力端子をプローブピンに接続する必要がないことから、画素ピッチや駆動ICの出力端子のピッチをより微細にすることも可能となった。なお、本発明は上述した各実施例に限定されるものではなく、その要旨を逸脱しない範囲で、種々変形して実施することができる。

【0055】

【発明の効果】以上詳述したように本発明（請求項1）によれば、半導体素子外部への出力信号を入力信号とする論理回路を同一基板内に形成し、論理回路の出力を被検査端子としているので、端子数が多い半導体素子や端子ピッチが微細な半導体素子であっても、その検査を容易に行うことができ、信頼性の向上及びコストの低減に寄与し得る半導体素子を実現することが可能となる。

【0056】また、本発明（請求項2）によれば、表示基板上に信号線及び走査線を入力とする論理回路を形成し、その出力を検査端子としているので、駆動ICの動作テスト、実装検査並びに液晶表示部の検査を容易に行うことができ、信頼性の向上及びコストの低減に寄与し得る液晶表示装置を実現することが可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係わる半導体素子の概略構成を示すブロック図、

【図2】図1における論理回路の具体的構成例を示す回路図、

【図3】図2におけるNOR回路を実際に配線した例を示す回路図、

【図4】図1における論理回路をダイオードで構成した例を示す回路図、

【図5】第2の実施例に係わる半導体素子の概略構成を示す図、

【図6】第3の実施例に係わる液晶表示装置の概略構成を示す図、

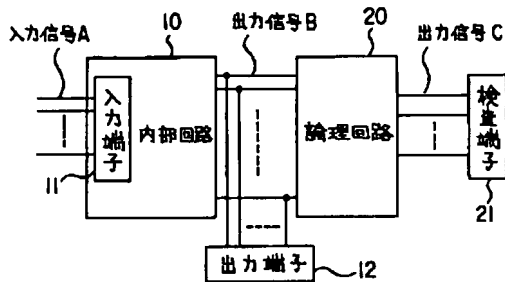
【図7】従来の半導体素子の概略構成を示す図、  
 【図8】従来の液晶表示装置の概略構成を示す図。

【符号の説明】

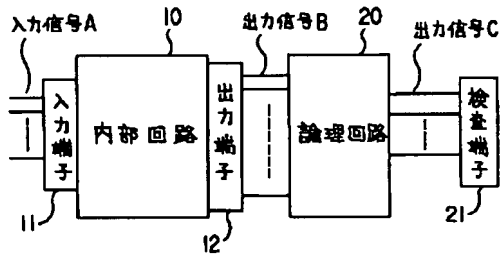
10…内部回路、  
 11…入力端子、  
 12…出力端子、  
 20…論理回路、  
 21…検査端子、

211…検査端子（NOR回路）、  
 212…検査端子（AND回路）、  
 213…検査端子（ショート検査回路）、  
 214…検査端子（AND回路）、  
 215…検査端子（OR回路）、  
 A…入力信号、  
 B…出力信号（内部回路10からの出力信号）、  
 C…出力信号（論理回路20からの出力信号）。

【図1】

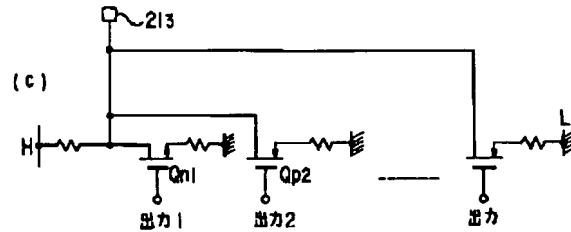
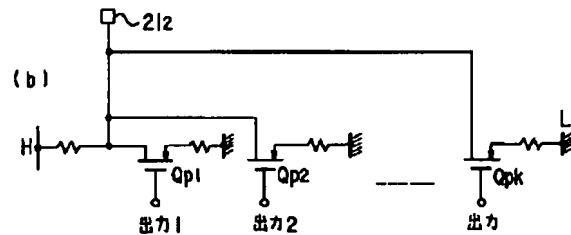
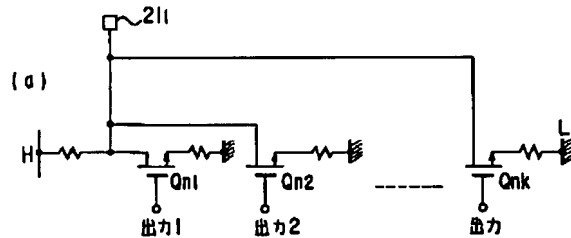


(a)

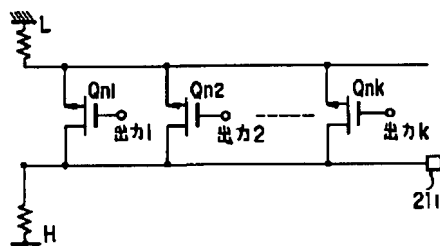


(b)

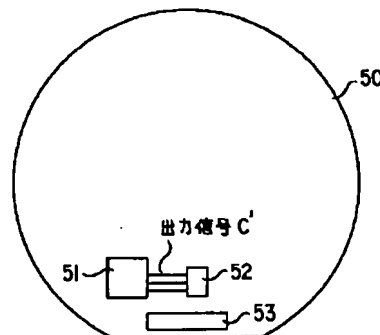
【図2】



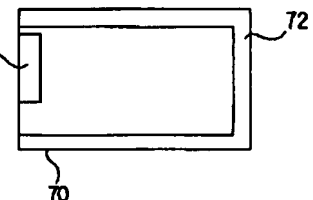
【図3】



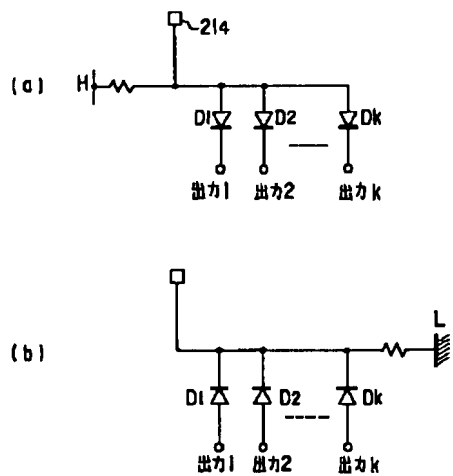
【図5】



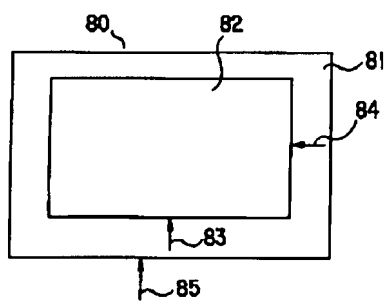
【図7】



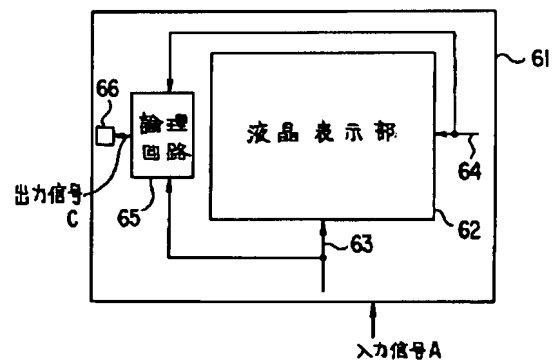
【図4】



【図8】



【図6】



フロントページの続き

(51) Int. Cl. 5

H 0 1 L 29/784

識別記号

庁内整理番号

F I

技術表示箇所